

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-151954

(43)Date of publication of application : 23.05.2003

(51)Int.Cl.

H01L 21/3065

(21)Application number : 2001-351652

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 16.11.2001

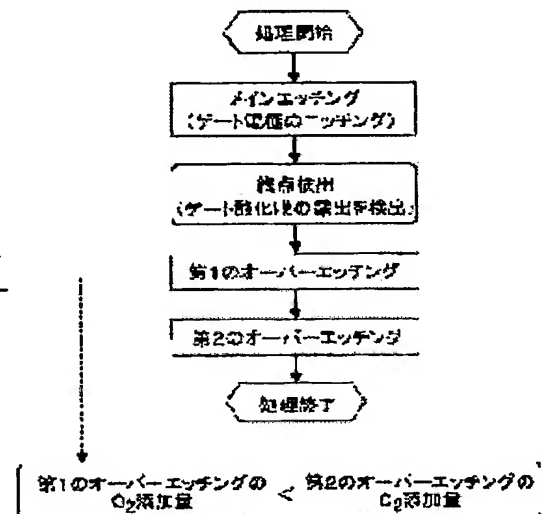
(72)Inventor : SHINTANI KENJI
TSUDA MUTSUMI
TANIMURA JUNJI
MARUYAMA TAKAHIRO
YOSHIFUKU RYOICHI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To protect an edge of a gate electrode from a tapered shape which has been a trouble in a highly selective over-etching process which uses HBr/O₂- based gas.

SOLUTION: In an etching step for an electrode or a wiring on an insulating film formed on a semiconductor wafer, an over-etching step using HBr/O₂-based gas following the main etching step is separated into a plurality of steps, and the added quantity of a first over-etching step is made smaller than that of a second over-etching step. Then, the emitted quantity of deposits from the chamber wall at an primary stage of over-etching process can be decreased. As a result, the amount of a thin film products deposited on the sidewall of the gate electrode is decreased, and an anisotropic etching form is realized. The electrode and the wiring can be etched, without damaging the base insulation film, and highly selective over-etching step is realized.



LEGAL STATUS

[Date of request for examination]

02.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-151954

(P2003-151954A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl.⁷

H 0 1 L 21/3065

識別記号

F I

H 0 1 L 21/302

テマコード^{*}(参考)

F 5 F 0 0 4

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21)出願番号 特願2001-351652(P2001-351652)

(22)出願日 平成13年11月16日(2001.11.16)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 新谷 賢治

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 津田 睦

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外1名)

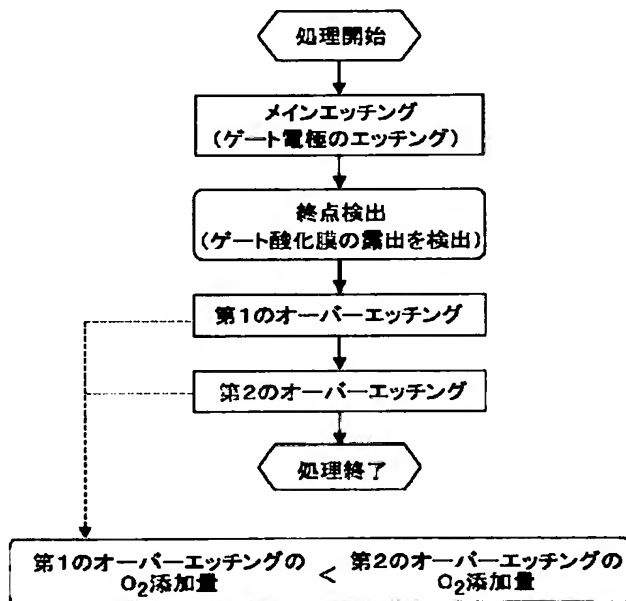
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 HBr/O₂系のガスを用いた高選択オーバーエッチング工程において問題となっていた、ゲート電極端部の形状がテーパ化することを防止する。

【解決手段】 半導体ウェハ上に形成された絶縁膜上の電極や配線をエッチングする工程において、メインエッチング工程に続くHBr/O₂系のガスを用いたオーバーエッチング工程を複数のステップに分割するとともに、第1のオーバーエッチング工程のO₂添加量が第1のオーバーエッチング工程のO₂添加量よりも少なくなるようにすることで、オーバーエッチング工程初期にチャンバ壁から供給される付着物の放出量を低減でき、これによりゲート電極側壁に付着する薄膜生成物量が減少するため、異方性のエッチング形状が実現できる。また、下地絶縁膜に損傷を与えることなく電極や配線をエッチングでき、高選択なオーバーエッチング工程が実現される。



【特許請求の範囲】

【請求項1】 半導体基板表面に設けられた絶縁膜上に形成された、電極または配線材料にエッチング処理を施し前記絶縁膜を露出させるメインエッチング工程と、このメインエッチング工程の後に、ハロゲンガスとこのハロゲンガスによる前記絶縁膜のエッチングを抑制する効果を有する添加ガスとから成る第1の混合ガスを利用したエッチングにより、前記メインエッチング工程のエッチング処理にてエッチングされなかった前記電極または前記配線材料のエッチング残渣をエッチングする第1

のオーバーエッチング工程と、この第1のオーバーエッチング工程の後に、前記第1の混合ガスよりも多い比率の前記添加ガス量を有する前記ハロゲンガスと前記添加ガスとから成る第2の混合ガスを利用したエッチングにより、前記エッチング残渣をエッチングする第2のオーバーエッチング工程を有してなる半導体装置の製造方法。

【請求項2】 前記添加ガスが O_2 または N_2 のいずれか若しくはその組み合わせにてなる請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第1の混合ガスにおける添加ガスが添加量が5%以下の O_2 である請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記ハロゲンガスが HBr 、 Cl_2 、 HCl または HI のいずれか若しくはその組み合わせにてなる請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記電極または配線材料が Si を含んでなる請求項1から4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記メインエッチング工程におけるエッチング処理は、 $HBr/O_2/Cl$ 系の第3の混合ガスを利用してなる請求項1から5のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記第1のオーバーエッチング工程におけるオーバーエッチングの時間が前記第2のオーバーエッチング工程におけるオーバーエッチングの時間の1/3以下である請求項1から6のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記メインエッチング工程、前記第1のオーバーエッチング工程及び前記第2のオーバーエッチング工程において前記半導体基板が $0^\circ C$ 以下に保持されてなる請求項1から7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、ことに、極薄膜のゲート絶縁膜上に形成された電極もしくは配線材料をエッチングする方法に関するものである。

【0002】

【従来の技術】 半導体デバイスのなかでも、論理回路やシステムLSIに用いられているトランジスタは高性能が要求される。そのため、現在、ゲート絶縁膜の厚さは3nm以下に設定されており、さらに2nm以下まで薄くするための開発が行なわれている。また、ゲート電極長についても、 $0.1\mu m$ (100nm) 以下にまで微細化するための開発が行なわれている。かかる微細なゲート電極形成のためのエッチングにおいては、この薄いゲート絶縁膜に対するダメージを防ぎつつ、ゲート電極に対する、高度な寸法仕上げ精度が要求される。このような要求に対し、ゲート電極材料をエッチングしつつ、ゲート絶縁膜を削らない高選択なエッチング方法についていくつかの提案がなされてきている。

【0003】 図11は、J. Vac. Sci. Technol. B18(1)、156に開示された従来の半導体装置の製造方法を示すフロー図であり、アモルファス Si ゲート電極のエッチングに対し、塩素(Cl_2)、臭化水素(HBr)、酸素(O_2)を含むガスを用いたゲート電極のメインのエッチングと、 HBr と O_2 を含むガスを用いたゲート絶縁膜のオーバーエッチングとを組合せ、ゲート電極材料をエッチングしつつ、ゲート絶縁膜を削らない高選択なエッチングを実現した半導体装置の製造方法につき開示がされている。

【0004】 この半導体装置の製造方法は、図12に示したような、厚さ1.8nmのゲート絶縁膜2、厚さ150nmのアモルファス Si 3および厚さ50nmの $TEOS$ 酸化膜にて構成されたマスク4を備えた半導体基板1に対し、ヘリコンプラズマ RIE 装置等のエッチング装置を用いたエッチングを行ない、図13に示したような、ゲート電極3'の形成を行なうものである。

【0005】 かかる半導体装置の製造方法においては、ゲート電極3'のエッチング(メインエッチング)は、塩素(Cl_2)、臭化水素(HBr)、酸素(O_2)の混合ガスを前述のヘリコンプラズマ RIE 装置に導入し、 RF バイアスパワーが150Wの条件にて反応性プラズマを生成することにより行われ、マスク4が形成されていない部分のアモルファス Si 3がエッチングされる。また、この時、チャンバ内に設置されたエリプソメトリ膜厚モニタにより、アモルファス Si 3の残膜厚がモニターされ、エッチングが進行し、アモルファス Si 3の残膜厚が30nmになると、ゲート絶縁膜2が削られないような高選択(ゲート電極層/ゲート絶縁膜層のエッチングレート比 ~ 100)なエッチング条件に切り換えられる(以下、オーバーエッチング工程と呼ぶ)。このオーバーエッチング工程においては、 HBr (50sccm)と O_2 (8sccm)の混合ガス(O_2 添加量 $\sim 14\%$)にて、ヘリコンプラズマ RIE 装置の RF バイアスパワーが60Wの条件にて、ゲート絶縁膜上に残ったアモルファス Si が一定時間エッチングされる。

【0006】図13は、かかる半導体装置の製造方法により、終点判定時（アモルファスSi3の残膜厚30nmを検出する時点）までエッチングを行なった後のゲート電極3'の断面図で、5はメインエッチング後に残った30nmのアモルファスシリコンを示している。また、図14は、かかる半導体装置の製造方法により、オーバーエッチングまでエッチング処理を行なった後のゲート電極3'の断面図であり、6はゲート電極側壁に付着したSiBr_xO_yなどのデポ物を示している。

【0007】

【発明が解決しようとする課題】従来のゲート電極のエッチングは、上述した方法により行われ、その結果得られた従来のゲート電極は、図13に示されるような断面テーパ形状を有していた。このようなテーパ形状は、そのテーパ角度の安定制御が困難であり、ゲート寸法のばらつきを引き起こし、半導体装置の製造方法において問題となっていた。また、将来的に、ゲート長L_g~0.1μm以下のデバイスの製造においては、このゲート寸法のばらつきがデバイスの歩留まりを低下させることも十分に予想される。さらに、極薄膜のゲート絶縁膜（T_{ox}<3nm）上にゲート電極を形成する場合において、異方性のエッチング形状を得ようとして、オーバーエッチングのO₂添加量を低減する、即ち低選択な比較的強いオーバーエッチングの条件にすると、図15に示されるように、ゲート絶縁膜もエッチングされゲート酸化膜に突き抜けが生じてしまうという問題もあった。

【0008】かかる問題に対し、本発明は、絶縁膜上のSiを含有した電極や配線のエッチングにおいて、異方性のエッチング形状が得られ、更に下地の絶縁膜が極薄膜の場合でも絶縁膜の突き抜けを生じることなく電極や配線のエッチングが行える、半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】この発明にかかる半導体装置の製造方法は、半導体基板表面に設けられた絶縁膜上に形成された、電極または配線材料にエッチング処理を施し絶縁膜を露出させるメインエッチング工程と、メインエッチング工程の後に、ハロゲンガスとハロゲンガスによる絶縁膜のエッチングを抑制する効果を有する添加ガスとから成る第1の混合ガスを利用したエッチングにより、メインエッチング工程のエッチング処理にてエッチングされなかった電極または配線材料のエッチング残渣をエッチングする第1のオーバーエッチング工程と、第1のオーバーエッチング工程の後に、第1の混合ガスよりも多い比率の添加ガスを有するハロゲンガスと添加ガスとから成る第2の混合ガスを利用したエッチングにより、エッチング残渣をエッチングする第2のオーバーエッチング工程を有したものである。

【0010】この発明にて用いられる添加ガスはO₂ま

たはN₂のいずれか若しくはその組み合わせとすることができる。また、第1の混合ガスにおける添加ガスは添加量が5%以下のO₂であってもよい。

【0011】この発明にて用いられるハロゲンガスはHBr、Cl₂、HClまたはHIのいずれか若しくはその組み合わせとすることができる。

【0012】この発明にて用いられる電極または配線材料はSiを含んでいてもよい。

【0013】この発明におけるメインエッチング工程におけるエッチング処理は、HBr/O₂/Cl系の第3の混合ガスを利用することができる。

【0014】この発明における第1のオーバーエッチング工程におけるオーバーエッチングの時間は第2のオーバーエッチング工程におけるオーバーエッチングの時間の1/3以下であってもよい。

【0015】この発明におけるメインエッチング工程、第1のオーバーエッチング工程及び第2のオーバーエッチング工程において半導体基板を0℃以下に保持してもよい。

20 【0016】

【発明の実施の形態】実施の形態1

図1は、本発明にかかる半導体装置の製造方法を示すフロー図であり、図2~5は、本発明にかかる半導体装置の製造方法を実施した場合の、各工程における半導体装置の断面構成を説明する図である。かかる製造方法に用いられる半導体装置は、半導体基板1（Siウエハ）上にゲート絶縁膜2（SiO₂）、ゲート電極3（Poly-Si）およびマスク4（TEOS酸化膜）が設けられたものである（図2）。以下、図1に示されたフローに従って製造方法を説明する。かかる半導体装置の製造方法においては、まず初めに、例えば、Cl₂、HBrおよびO₂の混合雰囲気内でPoly-Siなどからなるゲート電極や配線材料に対しメインエッチング工程においてエッチングを行う（図3）。この時、下地材料であるゲート絶縁膜の露出の有無を、例えば、プラズマ発光やエリブソメトリにより常時モニターしておく。そして、下地材料であるゲート絶縁膜の一部の露出が確認されると、雰囲気ガスを、例えば、HBr/O₂系のガスに交換し、O₂添加量の少ない比較的強いオーバーエッチング条件である第1のオーバーエッチング工程によりゲート電極側壁へのデポジションにより生成された物質（以下、デポ物と呼ぶ）の付着を抑制しつつ、ゲート電極のエッチング形状を整える（図4）。第1のオーバーエッチング工程開始から所定の時間経過後、第1のオーバーエッチング工程におけるO₂添加量よりも多いO₂添加量を有する雰囲気ガスに切り換え、比較的弱いオーバーエッチング条件である第2のオーバーエッチング工程によりゲート絶縁膜に残っているPoly-Siの残渣をエッチングする。これにより、ゲート絶縁膜に突き抜けを生じることなく、垂直なエッチング形状が実現

50

できる(図5)。

【0017】ここで、第1のオーバーエッチング工程開始から所定の時間経過後は、第1のオーバーエッチング工程におけるオーバーエッチング時間と第2のオーバーエッチング工程におけるオーバーエッチング時間の比が約1/3以下となる時間を言う。具体的には、第2のオーバーエッチング工程におけるオーバーエッチング時間が1分の場合で約20秒以下、第2のオーバーエッチング工程におけるオーバーエッチング時間が1分30秒の場合で約30秒以下、第2のオーバーエッチング工程におけるオーバーエッチング時間が2分の場合で約40秒以下の時間の経過を意味する。このように、メインエッチング工程にて完全に除去できないエッチング残渣の除去を目的としたオーバーエッチング工程を、エッチングガスがゲート電極材料を削る効果を抑制する O_2 等の添加ガスを調整し比較的強いオーバーエッチング条件の第1のオーバーエッチング工程と比較的弱いオーバーエッチング条件の第2のオーバーエッチング工程とに分けることにより、下地として存在するゲート絶縁膜を損傷することなく、断面テーパ形状を有しないゲート電極が得られる半導体装置の製造方法が実現される。

【0018】以下に、かかる半導体装置の製造方法を用いて、TEOS酸化膜厚50nm、Poly-Siゲート電極厚200nm、ゲート絶縁膜厚2nmである半導体装置においてゲート長0.12 μ mのゲート電極を作成する方法につき説明する。ここではECR-RIE装置(8インチウエハ用試作機、チャンバ内径=350mm、ポンプの排気速度=2000l/min)を用い、半導体装置を設置するステージ温度(-5 $^{\circ}$ C)と磁場発生用のコイル電流値は各工程において一定とした。

【0019】まず最初、上述の半導体装置に対し、メインエッチング工程として、 Cl_2 (45sccm)、HBr(100sccm)、 O_2 (7sccm)の混合雰囲気内で、ガス圧力=3mTorr(約0.4Pa)、マイクロ波電力=500W、RFバイアス電力=40Wの条件でゲート絶縁膜の一部が露出するまでPoly-Siのエッチング速度=150nm/minのエッチング速度でエッチングを実施した。

【0020】次に、第1のオーバーエッチング工程として、HBr(100sccm)、 O_2 (3sccm)の混合雰囲気(O_2 添加量=2.9%)にて、ガス圧力=3mTorr、マイクロ波電力=500W、RFバイアス電力=40Wの条件(Poly-Siのエッチング速度=120nm/min)で、15秒間エッチングを行った。

【0021】その後、第2のオーバーエッチング工程として、第1のオーバーエッチング工程よりも O_2 流量を増大させて、HBr(100sccm)、 O_2 (10sccm)の混合雰囲気(O_2 添加量=9%)にて、ガス圧力=3mTorr、マイクロ波電力=500W、RF

バイアス電力=40Wの条件(Poly-Siのエッチング速度=125nm/min)で、60秒間エッチングを行なった。

【0022】この結果、ゲート絶縁膜(厚み:2nm)に突き抜けを生じることなくゲート電極をエッチングすることができ、従来、CDシフト(エッチング仕上がり寸法からTEOSマスク寸法を引いた値)が \sim 20nmであったものをCDシフトが \sim 3nmにまで低減できた(即ち、垂直なエッチング形状が得られた)。また、これにより半導体デバイスの性能や生産性が向上した。

【0023】なお、上述の例においては、メインエッチングから第1のオーバーエッチングへの切り換えは、ゲート絶縁膜の一部が露出した時点で行なったが、ゲート絶縁膜が露出する前、例えばゲート電極残り厚さ \sim 30nm程度で切り換えても同様の効果が得られる。また、このエッチング終点の検出は、プラズマ発光モニタやレーザーエンドポイント等の終点検出方法により行なうことができる。

【0024】また、半導体装置のマスク材料としては、上述のTEOS酸化膜に限らず、SiNやフォトリソトであってもよく、また、メインエッチングの対象としては、アモルファスシリコン膜、不純物を注入したドーブドポリシリコン膜、ポリサイド構造(WSi/Poly-Si)やポリメタル構造(W/WN/Poly-Si)にて構成されるゲート電極であってもよく、さらに、ゲート電極だけでなく、これらの膜構造を有した配線などであってもよい。

【0025】本発明に用いられるエッチング装置としては、上述のECR-RIE装置に限定されることなく、他のプラズマ生成方式のエッチング装置でも同様の効果が得られる。また、オーバーエッチング工程に用いるエッチングガスとしては、HBr、 Cl_2 、HClまたはHIのいずれか若しくはその組み合わせにてなるハロゲンガスを用いることができ、これらのガスに希ガス(He、Ar)や N_2 などの不活性ガスを添加した場合にも同様の効果が得られる。

【0026】次に、本発明にかかる半導体装置の製造方法を用いることにより、垂直な断面形状を有するゲート電極が得られる理由につき検討した結果を以下に述べる。図6は、本発明にかかる半導体装置の製造方法における、オーバーエッチング開始後のゲート絶縁膜厚の変化を示した図である。エッチング条件は図1と同じである。図6から分かるように、エッチングが開始されているにもかかわらず、ゲート絶縁膜の膜厚はオーバーエッチングの初期において増加している。本願発明者らは、かかる現象に対し、以下に示すような様々な角度からの検討を行ない、オーバーエッチングの開始初期に、チャンバ壁に付着している蒸着物(デポ物)が、ガスの交換や温度変化もしくはプラズマなどの影響で、チャンバ壁から放出され、半導体装置上に飛来することによ

10

20

30

40

50

り、ゲート絶縁膜の膜厚増加が生じているのではないかと推定するに至った。

【0027】図7は、本発明にて用いた半導体装置に対し、高 O_2 濃度の従来条件（ O_2 濃度：～20%、ここでは9%とした）および低 O_2 濃度の条件（ O_2 濃度：～5%、ここでは2.9%とした）でオーバーエッチを施した時のゲート絶縁膜の残膜厚の時間変化を調査した結果である。用いたガスの種類は図1の場合と同じである。図から分かるように、従来用いられていたような高 O_2 濃度のガス組成においてはゲート酸化膜のエッチングは殆ど進行せず、一方、 O_2 添加量の少ないガス組成においてはゲート絶縁膜のエッチングが進展し、最終的には突き抜けが発生している。

【0028】また、図8は、本発明にかかる半導体装置の製造方法において、オーバーエッチング開始5秒後にウエハ上に堆積するデポ物（ $SiBr_xO_y$ ）の量の酸素濃度依存性を示した図である。用いたガスの種類は図1の場合と同じである。図8に示すように、オーバーエッチング開始5秒後にウエハ上に堆積するデポ量は、 O_2 濃度の増加にともない増大している。なお、本発明にかかる半導体装置の製造方法において得られる、デポ物の堆積量を抑制する効果は、第1のオーバーエッチ工程における O_2 添加量よりも第2のオーバーエッチ工程における O_2 添加量の方が多い場合に得られるが、図8より、第1のオーバーエッチング時の O_2 添加量は5%以下であることが好ましく、3%以下であればさらに好ましいことが分かる。また、薄いゲート酸化膜上のゲート電極をエッチングする場合に、第1のオーバーエッチングの O_2 添加量を低下させるとエッチングの選択的効果（ゲート電極材料のみをエッチングし、ゲート絶縁膜はエッチングしないことを言う）が低下する為、ゲート酸化膜に突き抜けが生じることがある。この場合には、第1のオーバーエッチング工程にてエッチング装置に印加するRFバイアス電力を、第2のオーバーエッチング工程にて印加するRFバイアス電力比で抑制することにより、エッチングの選択的効果を低下させることなくデポ物の付着量を低減できる。

【0029】図9は、上述した、本発明にかかる半導体装置の製造方法における、デポ物の堆積レートのオーバーエッチング時間依存性を示す図である。用いたガスの組成は図1の場合と同じである。ウエハ上に供給されるデポ物の堆積レートは、図9に示すように、オーバーエッチング時間の増加に伴い急激に減少している。このことから、オーバーエッチング中にウエハ上に供給されるデポ物は、オーバーエッチ開始後5秒～10秒の間に大幅に低減し、15秒～30秒で完全に消失することがわかる。

【0030】次に、本発明にかかる半導体装置の製造方法を用いることにより、ゲート電極の側面における断面テーパ形状の形成が抑制されるが、これについては、

以下のように考えることができる。即ち、従来の半導体装置の製造方法においては、図14に示したように、メインエッチング後に存在するゲート電極の側面のテーパ部分を、飛来したデポ物が覆うものと思われる。そのため、このデポ物によりその後のオーバーエッチングが抑制され、ゲート電極端部のテーパ形状を有した部分はエッチングされずに残る。そのため、オーバーエッチング工程の終了後に半導体装置が洗浄されると、テーパ部に存在したデポ物が除去され、テーパ形状を有したゲート電極が現出するものと考えられる。

【0031】次に、エッチング形状のテーパ角度のステージ温度依存性について調査した結果を説明する。図10において、○は、図1にて説明した本発明にかかる半導体装置の製造方法において、半導体装置を保持するステージの温度を変化させ、その結果得られたゲート電極端部のテーパ形状との関係を示した図である。また、●は比較のために、従来の半導体装置の製造方法（1ステップのオーバーエッチ）において、半導体装置を保持するステージの温度を変化させゲート電極端部のテーパ形状を測定した図である。従来の方法にて製造される半導体装置は、ウエハを積載するステージ温度が0℃以下の場合には、多量のデポ物の付着により、大きなテーパ形状（テーパ角度が小さい）を有していた。しかしながら、本発明により、ステージ温度が0℃以下の場合でも、異方性のエッチング形状を得ることができることが確認された。

【0032】この第1のオーバーエッチング工程におけるオーバーエッチングの時間は前述の図7及び9より、5秒から10秒、好ましくは15秒から30秒程度が好ましく、この時間はチャンバーの大きさ、チャンバー部材あるいは印加されるRFバイアス電力等により最適値が変動するが、第1のオーバーエッチング工程におけるオーバーエッチングの時間と第2のオーバーエッチング工程におけるオーバーエッチング時間の比率に換算すると、概ね1/4以下～1/3以下、即ち、全オーバーエッチング時間のうちのほぼ1/5～1/4程度の時間であればよいと考えられる。また、第1のオーバーエッチング工程における O_2 添加量としては、図8より5%以下の場合に有効であり、3～4%であればさらに好ましい。

【0033】以上、本願発明者らは、上述した現象の発見に基づき、電極や配線材料をエッチングするメインエッチング工程に続く第1のオーバーエッチング工程として、 O_2 添加量の少ない比較的強いオーバーエッチングの条件でデポ物の供給が無くなる時間以上オーバーエッチングを実施し、その後、 O_2 添加量の多い比較的弱いオーバーエッチングの条件の第2のオーバーエッチング工程に切り換えることにより、異方性のエッチング形状を得つつ、ゲート絶縁膜の突き抜けのない電極や配線材料の選択的エッチングが実現できることを見出し、本願

発明に到達したものである。

【0034】

【発明の効果】以上、この発明にかかる半導体装置の製造方法によれば、半導体基板表面に設けられた絶縁膜上に形成された、電極または配線材料にエッチング処理を施し絶縁膜を露出させるメインエッチング工程と、このメインエッチング工程の後に、ハロゲンガスとこのハロゲンガスによる絶縁膜のエッチングを抑制する効果を有する添加ガスとから成る第1の混合ガスを利用したエッチングにより、メインエッチング工程のエッチング処理にてエッチングされなかった電極または配線材料のエッチング残渣をエッチングする第1のオーバーエッチング工程と、第1のオーバーエッチング工程の後に、第1の混合ガスよりも多い比率の添加ガス量を有するハロゲンガスと添加ガスとから成る第2の混合ガスを利用したエッチングにより、エッチング残渣をエッチングする第2のオーバーエッチング工程を有しているため、オーバーエッチング工程の初期の段階にチャンバー壁等から飛来するデポ物の影響を低減した上で、絶縁膜に損傷を与えることなく、垂直な端面形状を有した電極または配線材料を形成することができる半導体装置の製造方法が実現される。

【0035】また、本発明において、添加ガスとして O_2 または N_2 のいずれか若しくはその組み合わせにて構成されるガスを用いた場合には、ハロゲンガスによる絶縁膜のエッチングを抑制する効果が大きいと、選択性の調整を簡易に行うことができ、所定の選択性が容易に得られる。また、第1の混合ガスにおける添加ガスとして添加量が5%以下の O_2 を用いた場合には、壁からのデポ物の飛来を抑制でき、好適である。

【0036】また、本発明において、ハロゲンガスとして HBr 、 Cl_2 、 HCl または HI のいずれか若しくはその組み合わせにてなるガスを用いた場合には、金属や Si 系のような様々な材質の電極および配線材料に対してエッチング効果を有するため、適用範囲が広く好適である。また、電極または配線材料が Si を含んでいる場合には、比較的安定かつ高いエッチングレートが得られ好適である。

【0037】また、本発明において、メインエッチング工程におけるエッチング処理が、 $HBr/O_2/Cl$ 系の第3の混合ガスを利用して行われる場合には、メインエッチング工程とオーバーエッチング工程の両工程が HBr/O_2 系のガスを用いた工程となり、好適である。

【0038】また、本発明において、第1のオーバーエッチング工程におけるオーバーエッチングの時間が第2のオーバーエッチング工程におけるオーバーエッチングの時間の $1/3$ 以下である場合には、チャンバー壁から飛来するデポ物の基板への影響を抑制しつつ、メインエッチング工程にてエッチングされなかった電極または配線材料を、絶縁膜を損傷することなくエッチングする効

果が確実に得られ、好適である。

【0039】また、本発明にかかる半導体装置の製造方法を用いれば、メインエッチング工程、第1のオーバーエッチング工程及び第2のオーバーエッチング工程において半導体基板が $0^\circ C$ 以下に保持された場合でも、垂直な端面形状が得られ、好適である。

【図面の簡単な説明】

【図1】 本発明にかかる半導体装置の製造方法を示すフロー図である。

【図2】 本発明にかかる半導体装置の製造方法に用いられる半導体装置のゲートエッチング前の断面構造を示す図である。

【図3】 本発明にかかる半導体装置の製造方法に用いられる半導体装置のメインエッチング後の断面構造を示す図である。

【図4】 本発明にかかる半導体装置の製造方法における半導体装置の第1のオーバーエッチング後の断面構造を示す図である。

【図5】 本発明にかかる半導体装置の製造方法における半導体装置の第2のオーバーエッチング後の断面構造を示す図である。

【図6】 本発明に用いられる半導体装置におけるゲート絶縁膜厚のオーバーエッチング時間依存性を示す図である。

【図7】 本発明に用いられる半導体装置におけるゲート絶縁膜厚のオーバーエッチング時間依存性の酸素濃度との関係を示す図である。

【図8】 本発明に用いられる半導体装置におけるデポ物の堆積量の酸素添加量依存性を示す図である。

【図9】 本発明に用いられる半導体装置におけるデポ物の堆積レートのオーバーエッチング時間依存性を示す図である。

【図10】 本発明に用いられる半導体装置におけるゲート電極端部のテーパ角のステージ温度依存性を示す図である。

【図11】 従来の半導体装置の製造方法を示すフロー図である。

【図12】 従来の半導体装置の製造方法に用いられる半導体装置のゲートエッチング前の断面構造を示す図である。

【図13】 従来の半導体装置の製造方法に用いられる半導体装置のメインエッチング後の断面構造を示す図である。

【図14】 従来の半導体装置の製造方法に用いられる半導体装置のオーバーエッチング後の断面構造を示す図である。

【図15】 従来の半導体装置の製造方法に用いられる半導体装置のゲート絶縁膜の突き抜けを説明する断面構造を示す図である。

【符号の説明】

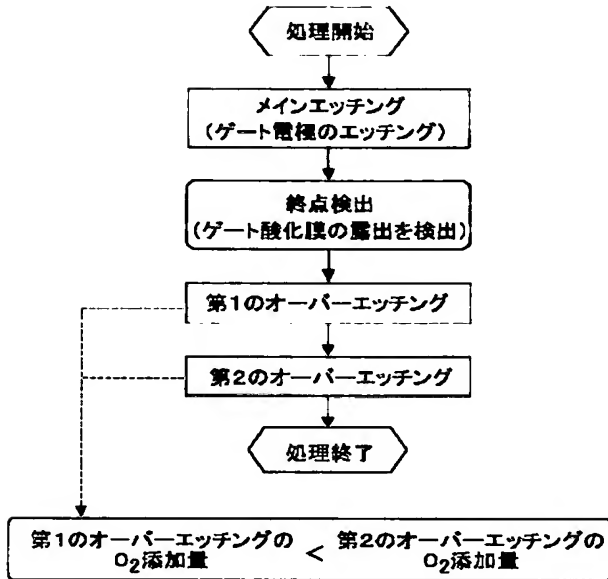
11

12

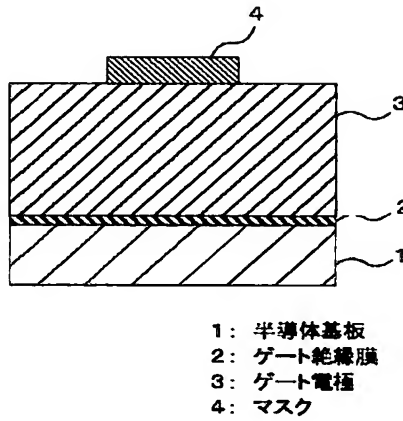
1 半導体基板、2 ゲート絶縁膜、3 アモルファスシリコン、3' ゲート電極、4 マスク、5 ゲート

電極材料の残渣、6 デボ物、7 ゲート絶縁膜の突き抜け。

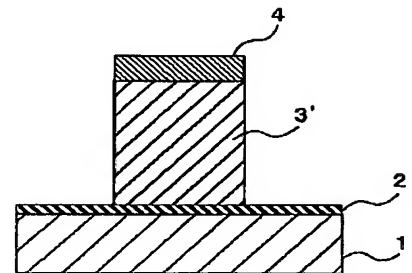
【図1】



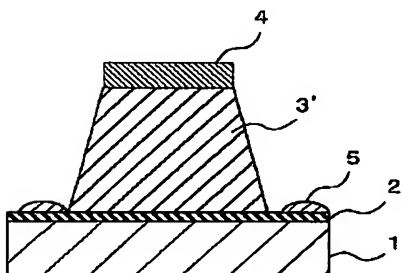
【図2】



【図5】

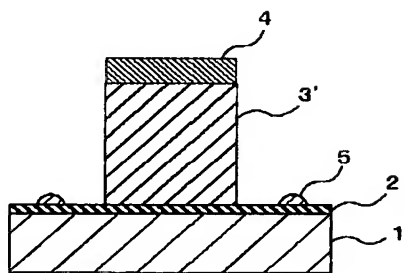


【図3】

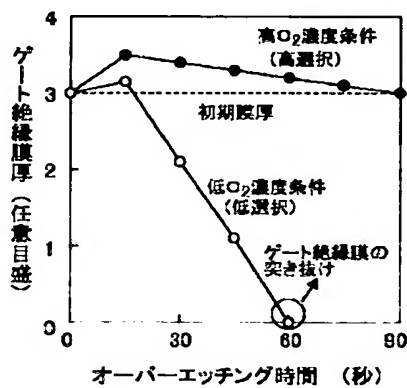


5:ゲート電極材料の残渣

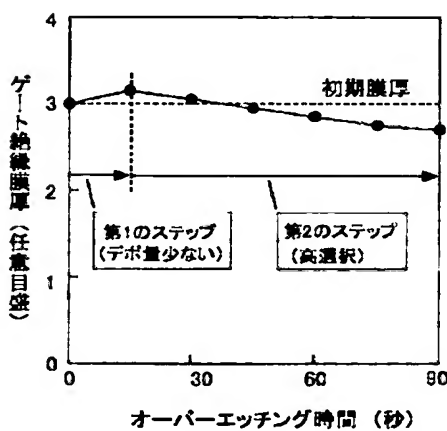
【図4】



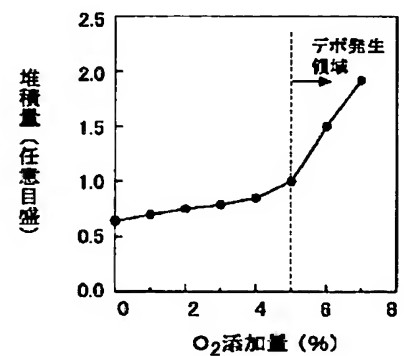
【図7】



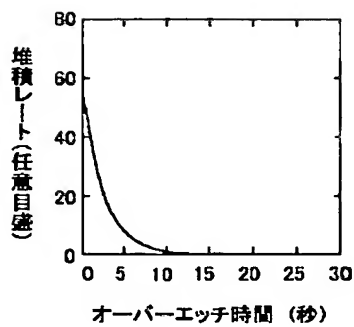
【図6】



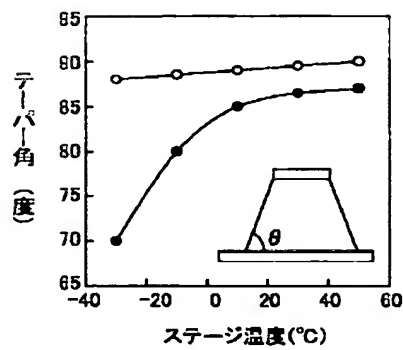
【図8】



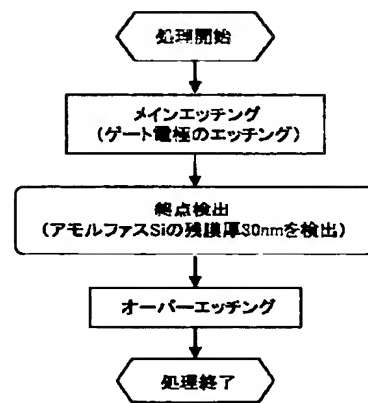
【図9】



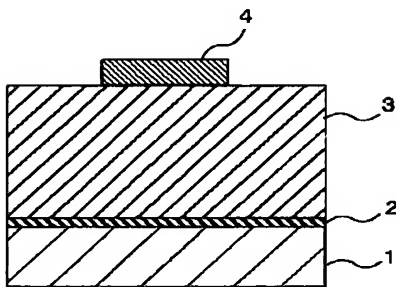
【図10】



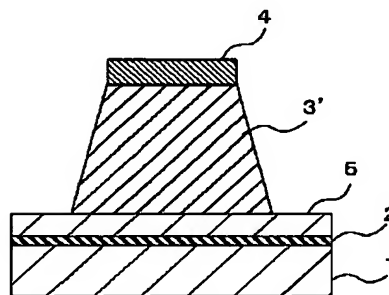
【図11】



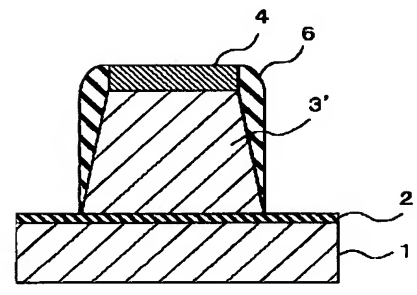
【図12】



【図13】

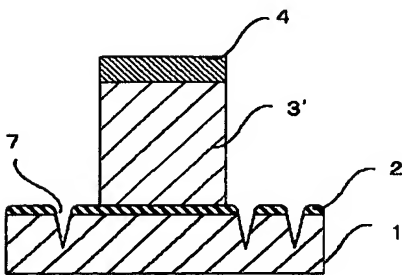


【図14】



6: デポ物 (SiBr_xO_y)

【図15】



7: ゲート絶縁膜の突き抜け

フロントページの続き

(72)発明者 谷村 純二
東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

(72)発明者 丸山 隆弘
東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

(72)発明者 吉福 良一
東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

Fターム(参考) 5F004 AA09 BA04 BA14 BD03 CA02
CA04 CB02 CB09 DA00 DA04
DA26 DA29 DB02 EA28 EB02